

DERWENT-ACC-NO: 1993-363283
DERWENT-WEEK: 199346
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Thin film transistor for image display unit - uses
additional
protection film which remains in level difference parts of first
protection
film, and which is removed or thinned over pixel regions to
reduce driving
voltage and power consumption NoAbstract

PATENT-ASSIGNEE: MATSUSHITA ELECTRONICS CORP[MATE]

PRIORITY-DATA: 1992JP-0064594 (March 23, 1992)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	
PAGES	MAIN-IPC		
JP 05267670 A	October 15, 1993	N/A	004
H01L 029/784			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP05267670A	N/A	1992JP-0064594
March 23, 1992		

INT-CL_(IPC): G02F001/133; G02F001/136 ; H01L029/784

ABSTRACTED-PUB-NO: JP05267670A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS:

THIN FILM TRANSISTOR IMAGE DISPLAY UNIT ADD PROTECT FILM
REMAINING LEVEL DIFFER
PART FIRST PROTECT FILM REMOVE THIN PIXEL REGION REDUCE DRIVE
VOLTAGE POWER
CONSUME NOABSTRACT

ADDL-INDEXING-TERMS:

LCD

DERWENT-CLASS: P81 U11 U12 U14

EPI-CODES: U11-C18A1; U12-B03A; U12-D02A4; U14-H01A; U14-K01A2B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1993-280689

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-267670

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/133	5 5 0	7820-2K		
1/136	5 0 0	9018-2K		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 N

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平4-64594

(22)出願日 平成4年(1992)3月23日

(71)出願人 000005843

松下電子工業株式会社

大阪府門真市大字門真1006番地

(72)発明者 小林 和憲

大阪府門真市大字門真1006番地 松下電子工業株式会社内

(72)発明者 江本 文昭

大阪府門真市大字門真1006番地 松下電子工業株式会社内

(72)発明者 千田 耕司

大阪府門真市大字門真1006番地 松下電子工業株式会社内

(74)代理人 弁理士 小鍛冶 明 (外2名)

最終頁に続く

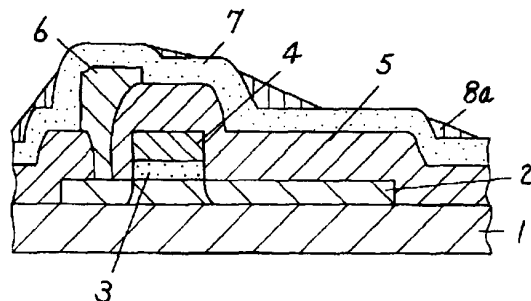
(54)【発明の名称】 薄膜トランジスタおよびその製造方法

(57)【要約】

【目的】 画素電極に電圧がかかり易くなり、LCDを組み立てた時の駆動電圧を下げ、消費電力を少なくすることができる薄膜トランジスタおよびその製造方法である。

【構成】 第2の保護膜であるSOG膜8aを一定時間エッチングして、第1の保護膜7の段差部にSOG膜8aを残存させ、段差を軽減させたまま保護膜の厚さを薄くすることで、LCDを組み立てたとき画素部に電圧がかかり易くする。これにより従来と同等の画質で駆動電圧を下げ、消費電力を少なくすることができる。

- 1 石英基板(絶縁基板)
- 2 ポリシリコン膜(多結晶半導体膜)
- 3 ゲート酸化膜(ゲート絶縁膜)
- 4 ゲート電極
- 5 層間絶縁膜
- 6 アルミニウム電極(電極配線)
- 7 シリコンナイトライド膜(第1の保護膜)
- 8a SOG膜(第2の保護膜)



【特許請求の範囲】

【請求項1】 絶縁基板と、その絶縁基板上に形成された能動領域となる多結晶半導体膜と、その多結晶半導体膜上に順次形成されたゲート絶縁膜およびゲート電極と、そのゲート電極をはさんで前記多結晶半導体膜表面に形成されたソース、ドレイン領域と、前記ゲート電極上を含む前記絶縁基板上に形成された層間絶縁膜と、その層間絶縁膜のコンタクトホール部を含む層間絶縁膜上に形成された電極配線と、その電極配線上を含む前記層間絶縁膜上に順次形成された第1の保護膜および第2の保護膜とを少なくとも有する薄膜トランジスタにおいて、前記第2の保護膜が第1の保護膜の段差部に残存し、少なくとも画素部上の第2の保護膜を除去または薄くしたことを特徴とする薄膜トランジスタ。

【請求項2】 絶縁基板上に多結晶半導体膜、ゲート絶縁膜およびゲート電極を形成する工程と、前記多結晶半導体膜表面にソース、ドレイン領域を形成する工程と、前記ゲート電極上を含む前記絶縁基板上に層間絶縁膜、電極配線を形成する工程と、その電極配線等を含む前記絶縁基板上に第1の保護膜を形成する工程と、その第1の保護膜上に第2の保護膜を形成する工程とを少なくとも有する薄膜トランジスタの製造方法において、前記第2の保護膜を形成した後、その第2の保護膜をエッチングし、第1の保護膜の段差部に第2の保護膜を残存させ、少なくとも画素部上の第2の保護膜を除去または薄くさせる工程を付加したことを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ビデオテープレコーダ（VTR）のビューファインダ、投影型テレビ受像機（プロジェクションTV）または小型テレビ受像機などに用いるアクティブマトリクス方式の画像表示装置に用いられる薄膜トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】以下に、従来の薄膜トランジスタの製造方法について説明する。図3に従来の薄膜トランジスタの断面構造を示す。同図に示すように、石英基板1上に能動領域となるポリシリコン膜2（以下TFTと記す。）があり、ポリシリコン膜2上にはゲート酸化膜3を介してポリシリコンによるゲート電極4が設けてある。5はホウ素リンケイ酸ガラス（BPSG）膜からなる層間絶縁膜であり、6はアルミニウム（AL）電極で信号線用として接続してある。7は1層目の保護膜であるシリコンナイトライド膜、8は2層目の保護膜であるSOG膜である。

【0003】

【発明が解決しようとする課題】しかしながら従来の構

成では、保護膜が二層構造となっているため、膜厚が厚くなっており、液晶を用いた画像表示装置に利用した場合、画素部に電圧がかかりにくく、駆動電圧が高くなり、消費電力が高くなるという課題を有していた。

【0004】本発明は上記課題を解決するもので、液晶を用いた画像表示装置に利用した時、画素部に電圧がかかり易く、消費電力の少ない薄膜トランジスタおよびその製造方法を提供することを目的とするものである。

【0005】

【課題を解決するための手段】本発明は上記目的を達成するために、第2の保護膜が第1の保護膜の段差部に残存し、少なくとも画素部上の第2の保護膜を除去または薄くした構成による。

【0006】

【作用】上記構成により、2層目の保護膜に用いられているSOG膜を一定時間エッチングすることにより、段差部で厚くなっているSOG膜を残し、画素部のような平坦な所のSOG膜を除去または薄くすることにより、LCDを組み立てた時、画素部の保護膜の厚さが従来の二層構造の場合と違い薄くなっているため、液晶へ電圧がかかり易く、駆動電圧を低くすることができる。

【0007】

【実施例】以下、本発明の一実施例を図面を参照にしなから説明する。

【0008】図1は本発明の一実施例における薄膜トランジスタの断面図である。従来例の図3と同一部分には同一番号を付し、説明を省略する。すなわち本発明の特徴は2層目の保護膜であるSOG膜8aにある。このような構造の薄膜トランジスタの製造方法について図2を用いて説明する。図2（a）において、石英基板1上に減圧CVDによりポリシリコン膜2を115nm成長し、このポリシリコン膜2に対し能動領域となる部分のみを残すエッチングを行う。次に図2（b）に示すように、熱酸化でゲート酸化膜3を120nm形成し、このゲート酸化膜3上に減圧CVDでポリシリコン膜を成長し、不純物のドーピングを行い、このポリシリコン膜に対し、ゲート電極4となる部分のみを残すエッチングを行う。そして、セルフアライメントでリンイオン等の不純物を注入する。次に図2（c）に示すようにBPSG膜からなる絶縁膜5を600nm成長し、コンタクトホールを形成した後、アルミニウム電極6を500nm成長し、ソース電極となる部分とのみを残すエッチングを行う。次に図2（d）に示すように、1層目の保護膜となるシリコンナイトライド膜7、2層目の保護膜となるSOG膜8aを形成し、2層目のSOG膜8aを一定時間エッチングすると段差部分で厚くなっているSOG膜8aが残り、画素部等平坦な部分上のSOG膜は除去されるかまたは薄くなる。

【0009】以上のように2層目の保護膜が部分的にエッチングされた薄膜トランジスタは、LCDの組み立て

3

た時、従来と同等に段差を軽減できているため従来通りの組み立てができ、なおかつLCDの組み立て後の駆動時は、画素部の保護膜が薄くなっているため、画素部に電圧がかかり易くなり、低電圧で駆動する事ができ、消費電力を少なくすることができる。

【0010】なお、本実施例では、TFTをシングルゲートとしたが、他の構成にしたものでもよい。さらに、TFTはPチャンネルトランジスタでもよい。能動領域、ゲート電極にはポリシリコンを用いたが、それに限定されるものではない。また、ゲート酸化膜に熱酸化膜を用いたが、それに限定されるものではない。また、層間絶縁膜にBPSG膜を用いたが、それに限定されるものではない。保護膜にシリコンナイトライド膜とSOG膜の二層構造としたが、それに限定されるものではない。画素電極にはポリシリコン膜を用いたが、特にそれに限定されるものではない。保護膜で2層目のSOG膜を平坦部で全てエッチングしたが、薄く残した状態でもよい。

【0011】

【発明の効果】以上の実施例から明らかなように本発明

4

は、第2の保護膜が第1の保護膜の段差部に残存し、少なくとも画素部上の第2の保護膜を除去または薄くした構成によるので、画像表示装置を組み立て駆動させた際、従来と同等の画質で駆動電圧を下げ、消費電力を少なくすることができる薄膜トランジスタを提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例における薄膜トランジスタの断面図

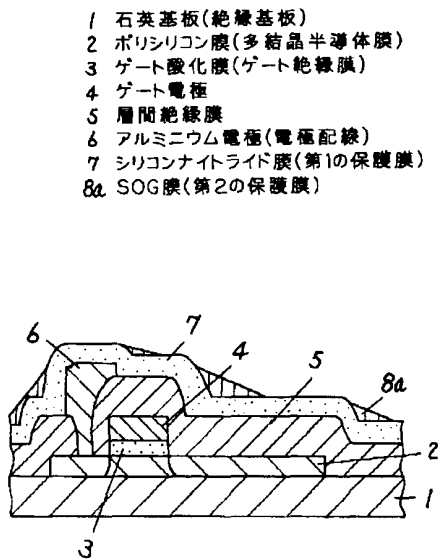
【図2】図1の薄膜トランジスタの製造方法を示す工程断面図

【図3】従来の薄膜トランジスタの断面図

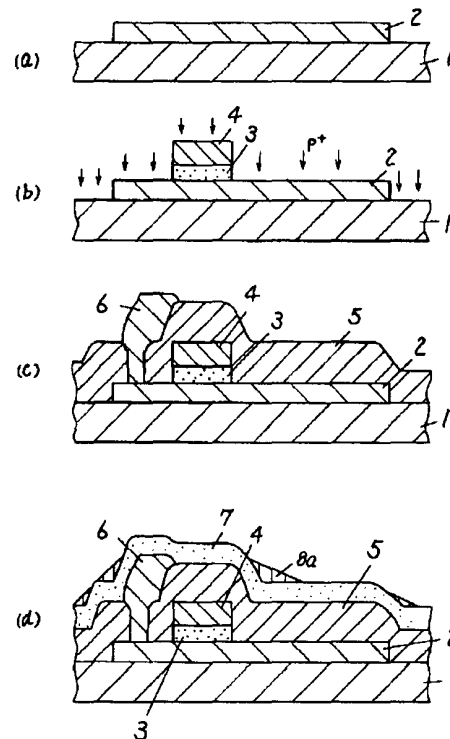
【符号の説明】

- 1 石英基板(絶縁基板)
- 2 ポリシリコン膜(多結晶半導体膜)
- 3 ゲート酸化膜(ゲート絶縁膜)
- 4 ゲート電極
- 5 層間絶縁膜
- 6 アルミニウム(電極配線)
- 7 シリコンナイトライド膜(第1の保護膜)
- 8a SOG膜(第2の保護膜)

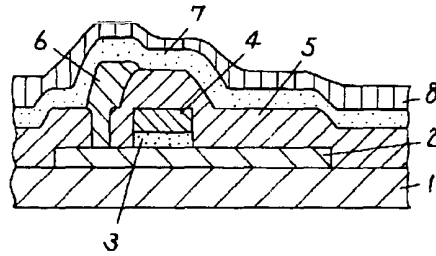
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 浜田 健
大阪府門真市大字門真1006番地 松下電子
工業株式会社内

(72)発明者 京極 理
大阪府門真市大字門真1006番地 松下電子
工業株式会社内